

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 02 月 19 日  
Application Date

申請案號：092103428  
Application No.

申請人：瑞昱半導體股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 8 月 13 日  
Issue Date

發文字號：09220814640  
Serial No.

# 發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：92103428      ※IPC分類： 

※ 申請日期：92.~.~

## 壹、發明名稱

(中文) 可調式電阻裝置

(英文)  

## 貳、發明人(共1人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 呂昭信

(英文)  

住居所地址：(中文) 桃園縣大園鄉五權村大埔 13鄰 9-21 號

(英文)  

國籍：(中文) 中華民國      (英文)  

## 參、申請人(共1人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 瑞昱半導體股份有限公司

(英文)  

住居所或營業所地址：(中文) 新竹科學園區工業東九路 2 號

(英文)  

國籍：(中文) 中華民國      (英文)  

代表人：(中文) 葉博任

(英文)  

繢發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

## 肆、中文發明摘要

本發明係有關一種可調式之電阻裝置，係由一電阻及複數個MOS電晶體所組成，該電阻之第一端連接至一高電位，該等複數個MOS電晶體導通時源極與汲極具有複數個與該電阻並聯之等效電阻，俾以產生所需之電阻值。

## 伍、英文發明摘要

陸、(一)、本案指定代表圖爲：第2圖

(二)、本代表圖之元件代表符號簡單說明：

電阻

20

PMOS電晶體

21

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 捌、聲明事項

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 無

2.

3.

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1.

2.

3.

4.

5.

6.

7.

8.

9.

10.

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1.

2.

3.

主張專利法第二十六條微生物

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1.

2.

3.

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1.

2.

3.

熟習該項技術者易於獲得，不須寄存。

# 珍、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

## 【一、發明所屬之技術領域】

本發明係關於可調式電阻的技術領域，尤指一種具有可調式之積體電路電阻裝置。

## 【二、先前技術】

第1A圖係顯示一般在積體電路中實現一可調式電阻之電路結構，其包括一電阻10，複數個調整電阻11分別串聯複數個切換器12，利用該等複數切換器12之導通或切斷，以產生所想要之等效電阻值

$$Req = R // \frac{X_{Rp}}{k}$$
，其中， $k$ 為導通之切換器12個數，然而，該等切換器12本身即具有電阻存在，故該等切換器12之尺寸需很大，如此其電阻值才會趨近於0，以避免影響該所需之等效電阻值，然而，大尺寸之切換器在積體電路中代表著更多之成本，當該等切換器12之尺寸縮小時，其上之電阻會使得所需之等效電阻值誤差變大，同時其上之雜散電容會影響等效電阻值之阻抗特性，第1B圖顯示該等效電阻因有切換器之雜散電容存在，而在高頻時，其阻抗特性隨頻率而改變，此會對整個積體電路產生不可知的影響，因此，習知積體電路中之電阻設計仍有諸多缺失而有予以改進之必要。

發明人爰因於此，本於積極發明之精神，亟思一種可以解決上述問題，幾經研究實驗終至完成此項發明。

### 【三、發明內容】

本發明之主要目的係在提供一種可調式電阻裝置，俾避免習知技術使用切換器佔而較大之積體電路面積之缺點，同時克服習知技術之電阻阻抗因操作頻率變化而改變的問題。

依據本發明之一特色，所提出之具有低雜散電容之可調式電阻裝置包括：一電阻；以及，複數個MOS電晶體，與該電阻並聯，控制該複數個MOS電晶體之導通時所產生之導通等效電阻，以調整所需之電阻值。

由於本發明設計新穎，能提供產業上利用，且確有增進功效，故依法申請發明專利。

### 【四、實施方式】

為使貴審查委員能進一步瞭解本發明之結構、特徵及其目的，茲附以較佳具體實施例之詳細說明如后：

第2圖顯示本發明之具有低雜散電容之可調式積體電路電阻裝置之一較佳實施例，其包括有一電阻20以及複數個MOS電晶體21，該電阻20與該等複數個MOS電晶體21並聯，該電阻20之第一端連接至一高電位(V1)該電阻20之第二端連接至一低電位(V2)，該等複數個MOS電晶體21之閘極連接一控制信號，該控制信號係可分別控制每個MOS電晶體21位於三極區(triode region)或是截止區，當MOS電晶體21在截止區時，因MOS電晶體21與電阻20並聯，故可忽略在

位於截止區的MOS電晶體。當MOS電晶體21在三極區，則須考慮其等效電阻值。

利用一控制信號控制該複數個MOS電晶體21之導通或是截止，則可產生所需之電阻值。

於本實施例中，利用控制電壓控制該複數個MOS電晶體21，使該複數個MOS電晶體21中，當k個MOS電晶體其控制電壓位為 $\varphi_1$ 時會位於三極區，其餘MOS電晶體其控制電壓位為 $\varphi_2$ 時會位於截止區，則該電阻裝置之等效電阻為 $R/\frac{Rd}{k}$ ，當中，R為該電阻之電阻值，Rd為MOS電晶體導通時之導通等效電阻。

由電路分析可知，該等效電阻對電壓之靈敏度為：

$$\begin{aligned}
 \frac{\partial \text{Req}}{\partial V} &= \frac{\partial}{\partial V} \left( R // \frac{Rd}{k} \right) = \frac{\partial}{\partial V} \left( \frac{R * \frac{Rd}{k}}{R + \frac{Rd}{k}} \right) = \frac{\partial}{\partial V} \left( \frac{R * Rd}{k * R + Rd} \right) \\
 &= \frac{(k * R + Rd) \frac{\partial R * Rd}{\partial V} - (R * Rd) \frac{\partial(k * R + Rd)}{\partial V}}{(k * R + Rd)^2} * \frac{1}{\text{Req}} \\
 &= \frac{R(k * R + Rd) \frac{\partial Rd}{\partial V} - (R * Rd) \frac{\partial(Rd)}{\partial V}}{(k * R + Rd)^2} * \frac{1}{\left( \frac{R * Rd}{k * R + Rd} \right)} \\
 &= \frac{R(k * R) \frac{\partial Rd}{\partial V}}{R * Rd * (k * R + Rd)} = \frac{k * R}{Rd * (k * R + Rd)} * \frac{\partial Rd}{\partial V} < \frac{\partial Rd}{\partial V} \quad (1)
 \end{aligned}$$

由第(1)式可知，該等效電阻對電壓之靈敏度能有效地降低，故跨越其上的電壓變動對其影響亦相對地降低。

第3圖顯示本發明之另一較佳實施例，其與前一實施例之不同處僅在於該複數個MOS電晶體為NMOS電晶體，該等複數個NMOS電晶體31其閘極連接至一控制信號，利用該控制信號控制該等複數個NMOS電晶體31位於三極區或截止區，當k個NMOS電晶體其控制電壓位為 $\varphi_2$ 時會位於三極區，則此電阻裝置所提供之等效電阻亦為 $R \parallel \frac{Rd}{k}$ ，當中，R為該電阻之電阻值，Rd為MOS電晶體導通時之等效電阻，k為該複數個NMOS電晶體中位於三極區之數量。其中，該控制信號可由一外部電路輸入，亦可將該控制信號的準位儲存在記憶裝置內，可供使用者設定。

由上述說明可知，本發明因使用一控制信號控制複數個MOS電晶體來產生所需之電阻值，可避免習知技術使用切換器佔而較大之積體電路面積之缺點。

綜上所陳，本發明無論就目的、手段及功效，在均顯示其迥異於習知技術之特徵，實為一極具實用價值之發明，懇請 貴審查委員明察，早日賜准專利，俾嘉惠社會，實感德便。惟應注意的是，上述諸多實施例僅係為了便於說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

## 【五、圖式簡單說明】

第1A圖係一習知積體電路中之電阻電路。

第1B圖係習知積體電路中電阻阻抗與頻率關係之示意圖。

第2圖係本發明之積體電路中可調式之電阻裝置之一實施例的電路圖。

第3圖係本發明之積體電路中可調式之電阻裝置之另一實施例的電路圖。

## 【圖號說明】

電阻	10	調整電阻	11
切換器	12	電阻	20
PMOS電晶體	21	NMOS電晶體	31

## 拾、申請專利範圍

1. 一種可調式之電阻裝置，主要包括：

一電阻，其具有一第一端及一第二端，分別連接至一第一電位及一第二電位；以及

至少一個MOS電晶體，係與該電阻並聯，該至少一個MOS電晶體之閘極接收一控制信號，分別控制該至少一個MOS電晶體之導通與否，以產生所需之電阻值。

2. 如申請專利範圍第1項所述之電阻裝置，其中，該至少一個MOS電晶體為PMOS電晶體。

3. 如申請專利範圍第1項所述之電阻裝置，其中，該至少一個MOS電晶體為NMOS電晶體。

4. 如申請專利範圍第1項所述之電阻裝置，其中，該至少一個MOS電晶體為CMOS電晶體。

5. 如申請專利範圍第1項所述之電阻裝置，其中，該電阻裝置之等效電阻為  $R \parallel \frac{Rd}{K}$ ，當中，R為該電阻之電阻值，K為該至少一個MOS電晶體之導通個數，Rd為該等至少一個MOS電晶體導通時之等效電阻。

6. 如申請專利範圍第1項所述之電阻裝置，其中，該控制信號可由一外部電路輸入。

7. 如申請專利範圍第1項所述之電阻裝置，其中，該控制信號的準位儲存在一記憶裝置內。

8. 一種可調式之電阻裝置，主要包括：

一電阻，其具有一第一端及一第二端，分別連接至一第一電位及一第二電位；以及

至少一個PMOS電晶體，係與該電阻並聯，該至少一個PMOS電晶體之閘極接收一控制信號，控制該至少一個PMOS電晶體之導通與否，以產生所需之電阻值。

9. 如申請專利範圍第8項所述之電阻裝置，其

中，該電阻裝置之等效電阻為  $R \parallel \frac{R_d}{K}$ ，當中，R為該電阻之電阻值，K為PMOS電晶體之個數，R<sub>d</sub>為PMOS電晶體導通時之等效電阻。

10. 如申請專利範圍第8項所述之電阻裝置，其中，該控制信號可由一外部電路輸入。

11. 如申請專利範圍第8項所述之電阻裝置，其中，該控制信號的準位儲存在一記憶裝置內。

12. 一種可調式之電阻裝置，主要包括：

一電阻，其具有一第一端及一第二端，分別連接至一第一電位及一第二電位；以及

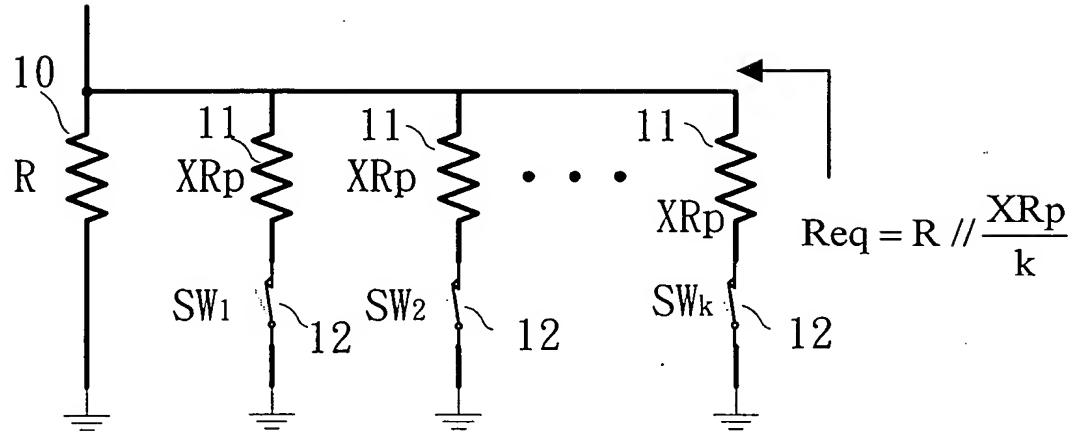
至少一個NMOS電晶體，係與該電阻並聯，該至少一個NMOS電晶體之閘極接收一控制信號，控制該至少一個NMOS電晶體之導通與否，以產生所需之電阻值。

13. 如申請專利範圍第12項所述之電阻裝置，其

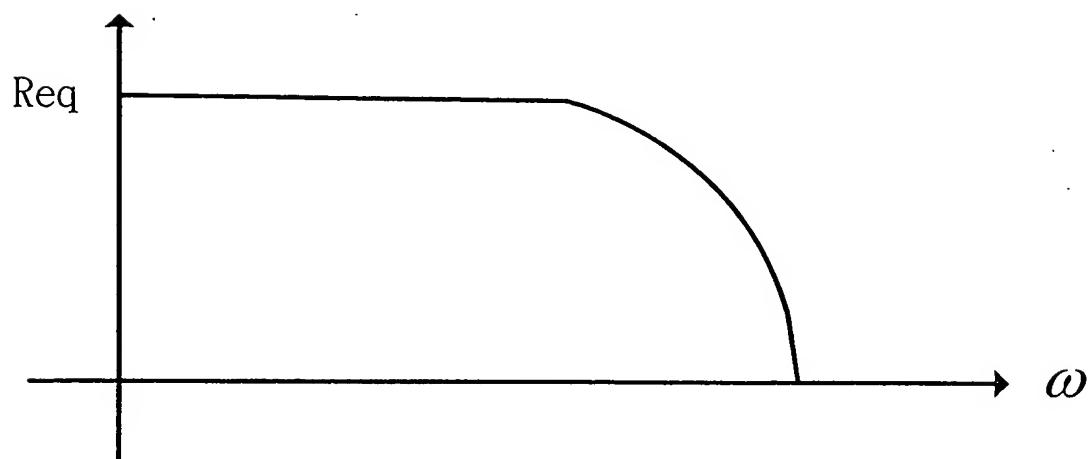
中，該電阻裝置之等效電阻為  $R \parallel \frac{R_d}{K}$ ，當中，R為該電阻之電阻值，K為NMOS電晶體之個數，R<sub>d</sub>為該NMOS電晶體導通時之等效電阻。

14. 如申請專利範圍第12項所述之電阻裝置，其中，該控制信號可由一外部電路輸入。

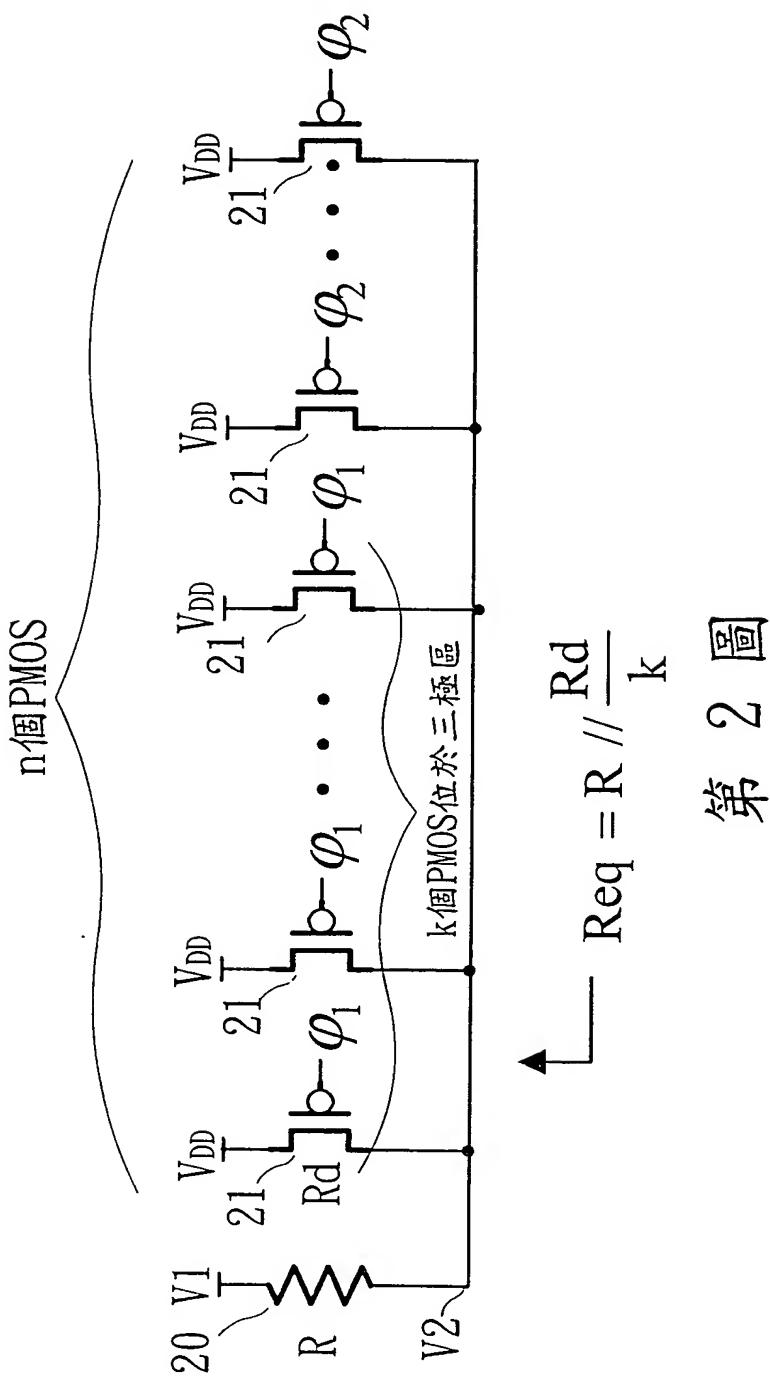
15. 如申請專利範圍第12項所述之電阻裝置，其中，該控制信號的準位儲存在一記憶裝置內。



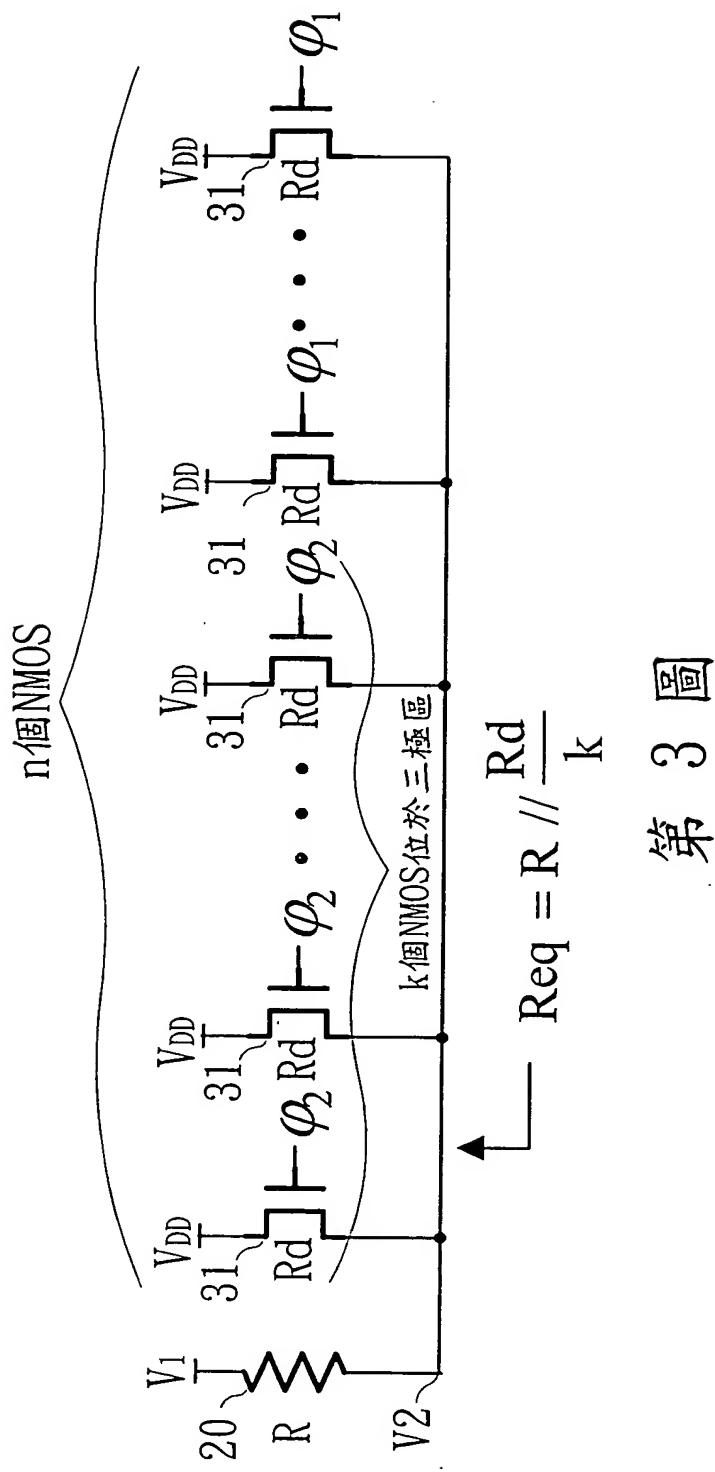
第 1A 圖



第 1B 圖



第 2 圖



第 3 圖